



**REF: KOREANA document**  
**Japanese to English**

**PAGE-1**

Submission Notification

30 July 03

**PAGE-2**

1. The scope of the following claim is restricted to Clause 1-2. Separation membrane is formed on the semiconductor board. This claim is for the semiconductor device, which consists of a gate insulation membrane whose ends are connected to the separation membrane. The trench insulation membrane is formed in the semiconductor (1) as displayed in figure 3 - 'Citation' in patent number 2000~53531 of Korean institute. As the semiconductor device is configured with gate insulation membrane (4) whose ends are attached to the trench, it was easy to invent.

Attachment 1, Citation in Patent 2000-53531 of Korean Institute



(訳文)

意見提出通知書

2003年 7月 30日

審査4局 半導体1審査担当官室

審査官 李 錦旭

出願人: NECエレクトロニクス株式会社(出願人コード: 520020416681)

日本国神奈川県川崎市中原区下沼部1753

代理人: 特許法人 KOREANA

ソウル市江南区駅三洞824-19

出願番号: 2001年特許出願第66039号

発明の名称: 半導体装置及びその製造方法

この出願に対する審査の結果、下記のと通りの拒絶理由があり、特許法第63条の規定によりこれを通知しますので、意見がある場合又は補正が必要な場合は、2003年9月30日までに意見書[特許法施行規則の別紙第25号の2の書式]又は/及び補正書[特許法施行規則の別紙第5号の書式]を提出して下さい(上記の期間は、毎回1月ずつ延長申請することができ、別途の期間延長承認の通知はしません)。

[理由]

この出願の特許請求の範囲第1-2項に記載の発明は、その出願前に、その発明の属する技術の分野における通常の知識を有する者が、下記に指摘した発明に基づいて容易に発明をすることができたものと認められるので、特許法第29条第2項の規定により特許を受けることができません。



特許法人 **KOREANA**

1. 本願の請求の範囲第1-2項は、半導体基板内に分離膜が形成され、分離膜に隣接する端部を有するゲート絶縁膜を含む半導体装置に対して請求しているが、これは、添付の引用例の韓国公開特許2000-53531号の図3に提示された半導体基板(1)内にトレンチ絶縁膜(3)が形成され、トレンチに隣接する端部を有するゲート絶縁膜(4)を含む半導体装置の構成により、容易に発明をすることができたものである。

この出願は、特許請求の範囲の記載が、次に指摘したとおり不備なものと認められ、特許法第42条第4項の規定による要件を満たしていないので、特許を受けることができません。

2. 本願の請求の範囲第16項に提示された“残存させるする段階”は不明確な記載であって、本願は保護を受けようとするところが不明確である。

[添付]

添付1 引用例の韓国公開特許2000-53531号

以上

출력 일자: 2003/7/31

발송번호 : 9-5-2003-029105444  
발송일자 : 2003.07.30  
제출기일 : 2003.09.30

수신 : 서울 강남구 역삼1동 824-19 동경빌딩  
특허법인코리아나[박해선] 귀하  
135-934

특허청  
의견제출통지서

NEC01P-12471

意見提出通知書

출원인 명칭 엔씨 일렉트로닉스 코퍼레이션 (출원인코드: 520020416681)  
주소 일본 211-8668 가나가와켄 가와사키시 나카하라구 사모누마베 1753  
대리인 명칭 특허법인코리아나  
주소 서울 강남구 역삼1동 824-19 동경빌딩  
지정된변리사 박해선 외 2명  
출원번호 10-2001-0066039  
발명의 명칭 반도체 장치 및 그 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제 1-2항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

1. 본원의 청구범위 제1-2항은 반도체기판내에 분리막이 형성되고 분리막에 인접한 단부를 가지는 게이트절연막을 포함하는 반도체장치에 대하여 청구하고 있으나, 이는 첨부된 인용에 한국공개특허 2000-53531의 제3도에 제시된 반도체기판(1)내에 트렌치 절연막(3)이 형성되고 트렌치에 인접한 단부를 가지는 게이트절연막(4)을 포함하는 반도체장치의 구성에 의해 용이하게 발명할 수 있음

이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제4항의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

2. 본원의 청구범위 제16항에 제시된 "잔존시키는 하는 단계"는 불명확한 기재로 본원은 보호받고자 하는 바가 불명확함

[첨부]

첨부1 인용에 한국공개특허 2000-53531 끝.

2003.07.30

특허청

심사4국

반도체1심사담당관실

심사관 이금옥



출력 일자: 2003/7/31

<<안내>>

귀하께서는 특허법제47조제2항의 규정에 의거 특허출원서에 최초로 첨부된 명세서 또는 도면에 기재된 사항의 범위내에서 명세서 등을 보정할 수 있음을 알려드립니다. 문의사항이 있으시면 ☎ 042-481-5800 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지([www.kipo.go.kr](http://www.kipo.go.kr))내 부조리신고센터

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. °	(11) 공개번호	특2000-0053531
H01L 27 /115	(43) 공개일자	2000년08월25일
(21) 출원번호	10-2000-0002532	
(22) 출원일자	2000년01월20일	
(30) 우선권주장	1999-012541 1999년01월20일 일본(JP)	
(71) 출원인	닛본 덴기 가부시끼가이샤 가네코 히사시	
(72) 발명자	일본국 도쿄도 미나토구 사바 5쵸메 7방 1고 하라히데끼	
(74) 대리인	일본도쿄도미나토구사바5쵸메7방1고닛본덴기가부시끼가이샤내 장수길, 구영창	

심사청구 : 있음

(54) 반도체 기억 장치의 제조 방법

요약

트렌치 측면에 불순물을 도입함으로써, 소스 확산층 저항의 증가를 방지할 수 있는 반도체 기억 장치의 제조 방법을 제공한다.

제어 게이트 배선(7) 사이의 소스 형성 예정 영역이 개구된 레지스트 패턴(8)을 형성하는 공정과, 레지스트 패턴(8) 및 제어 게이트 배선(7)을 마스크로 하여 트렌치 분리 절연막(3)을 에칭 제거하여 트렌치(3a)를 노출시키는 공정과, 레지스트 패턴(8) 및 제어 게이트 배선(7)을 마스크로 하여 반도체 기판(1)에 실질적으로 수직으로 이온 주입함으로써 소스 확산층(9a)을 형성하는 공정과, 레지스트 패턴(8)을 제거한 후 제어 게이트 배선(7)을 마스크로 하여 반도체 기판(1)에 실질적으로 수직으로 이온 주입함으로써 소스 드레인 확산층(9)을 형성하는 공정과, 제어 게이트 배선(7)의 측벽에 측벽 절연막(10)을 형성하는 공정과, 제어 게이트 배선(7) 및 측벽 절연막(10)을 마스크로 하여 회전 이온 주입함으로써 트렌치(3a)의 측면에도 소스 확산층(9a)을 형성하는 공정을 포함한다.

대표도

도6

명세서

도면의 간단한 설명

도 1의 (a)는 본 발명의 제1 실시예에 따른 반도체 기억 장치의 제조 방법을 공정순으로 나타낸 배치도, 도 1의 (b)는 도

도 1의 (a)의 A-A선에 따른 단면도, 도 1의 (c)는 도 1의 (a)의 B-B선에 따른 단면도, 도 1의 (d)는 도 1의 (a)의 C-C선에 따른 단면도.

도 2의 (a)~(d)는 도 1의 다음 공정을 나타낸 도면으로서, 도 2의 (a)는 배치도, 도 2의 (b)는 도 2의 (a)의 A-A선에 따른 단면도, 도 2의 (c)는 도 2의 (a)의 B-B선에 따른 단면도, 도 2의 (d)는 도 2의 (a)의 C-C선에 따른 단면도.

도 3의 (a)~(d)는 도 2의 다음 공정을 나타낸 도면으로서, 도 3의 (a)는 배치도, 도 3의 (b)는 도 3의 (a)의 A-A선에 따른 단면도, 도 3의 (c)는 도 3의 (a)의 B-B선에 따른 단면도, 도 3의 (d)는 도 3의 (a)의 C-C선에 따른 단면도.

도 4의 (a)~(d)는 도 3의 다음 공정을 나타낸 도면으로서, 도 4의 (a)는 배치도, 도 4의 (b)는 도 4의 (a)의 A-A선에 따른 단면도, 도 4의 (c)는 도 4의 (a)의 B-B선에 따른 단면도, 도 4의 (d)는 도 4의 (a)의 C-C선에 따른 단면도.

도 5의 (a)~(d)는 도 4의 다음 공정을 나타낸 도면으로서, 도 5의 (a)는 배치도, 도 5의 (b)는 도 5의 (a)의 A-A선에 따른 단면도, 도 5의 (c)는 도 5의 (a)의 B-B선에 따른 단면도, 도 5의 (d)는 도 5의 (a)의 C-C선에 따른 단면도.

도 6의 (a)~(d)는 도 5의 다음 공정을 나타낸 도면으로서, 도 6의 (a)는 배치도, 도 6의 (b)는 도 6의 (a)의 A-A선에 따른 단면도, 도 6의 (c)는 도 6의 (a)의 B-B선에 따른 단면도, 도 6의 (d)는 도 6의 (a)의 C-C선에 따른 단면도.

도 7의 (a)는 본 발명의 제2 실시예에 따른 반도체 기억 장치의 제조 방법을 공정순으로 나타낸 배치도, 도 7의 (b)는 도 7의 (a)의 A-A선에 따른 단면도, 도 7의 (c)는 도 7의 (a)의 B-B선에 따른 단면도, 도 7의 (d)는 도 7의 (a)의 C-C선에 따른 단면도.

도 8의 (a)~(d)는 도 7의 다음 공정을 나타낸 도면으로서, 도 8의 (a)는 배치도, 도 8의 (b)는 도 8의 (a)의 A-A선에 따른 단면도, 도 8의 (c)는 도 8의 (a)의 B-B선에 따른 단면도, 도 8의 (d)는 도 8의 (a)의 C-C선에 따른 단면도.

도 9의 (a)는 본 발명의 제3 실시예에 따른 반도체 기억 장치의 제조 방법을 공정순으로 나타낸 배치도, 도 9의 (b)는 도 9의 (a)의 A-A선에 따른 단면도, 도 9의 (c)는 도 9의 (a)의 B-B선에 따른 단면도, 도 9의 (d)는 도 9의 (a)의 C-C선에 따른 단면도.

도 10의 (a)~(d)는 도 9의 다음 공정을 나타낸 도면으로서, 도 10의 (a)는 배치도, 도 10의 (b)는 도 10의 (a)의 A-A선에 따른 단면도, 도 10의 (c)는 도 10의 (a)의 B-B선에 따른 단면도, 도 10의 (d)는 도 10의 (a)의 C-C선에 따른 단면도.

도 11의 (a)는 종래의 트렌치 분리형 반도체 기억 장치의 제조 방법을 공정순으로 나타낸 배치도, 도 11의 (b)는 도 11의 (a)의 D-D선에 따른 단면도, 도 11의 (c)는 도 11의 (a)의 E-E선에 따른 단면도, 도 11의 (d)는 도 11의 (a)의 F-F선에 따른 단면도.

도 12의 (a)~(d)는 도 11의 다음 공정을 나타낸 도면으로서, 도 12의 (a)는 배치도, 도 12의 (b)는 도 12의 (a)의 D-D선에 따른 단면도, 도 12의 (c)는 도 12의 (a)의 E-E선에 따른 단면도, 도 12의 (d)는 도 12의 (a)의 F-F선에 따른 단면도.

도 13의 (a)~(d)는 도 12의 다음 공정을 나타낸 도면으로서, 도 13의 (a)는 배치도, 도 13의 (b)는 도 13의 (a)의 D-D선에 따른 단면도, 도 13의 (c)는 도 13의 (a)의 E-E선에 따른 단면도, 도 13의 (d)는 도 13의 (a)의 F-F선에 따른 단면도.

도 14의 (a)~(d)는 도 13의 다음 공정을 나타낸 도면으로서, 도 14의 (a)는 배치도, 도 14의 (b)는 도 14의 (a)의 D-D선에 따른 단면도, 도 14의 (c)는 도 14의 (a)의 E-E선에 따른 단면도, 도 14의 (d)는 도 14의 (a)의 F-F선에 따른 단면도.

도 15의 (a)~(d)는 도 14의 다음 공정을 나타낸 도면으로서, 도 15의 (a)는 배치도, 도 15의 (b)는 도 15의 (a)의 D-D선에 따른 단면도, 도 15의 (c)는 도 15의 (a)의 E-E선에 따른 단면도, 도 15의 (d)는 도 15의 (a)의 F-F선에 따른 단면도.

<도면의 주요 부분에 대한 부호의 설명>

- 1, 100 : 반도체 기판
- 2, 101 : 확산층 영역
- 3, 102 : 트렌치 절연막
- 3a : 트렌치
- 3b, 101a : 트렌치 측면
- 4, 103 : 게이트 절연막
- 5, 104 : FG 전극
- 6, 105 : 층간 절연막
- 7, 106 : CG 배선
- 7a, 106a : 다결정 실리콘막
- 7b, 106b : WSi막
- 8, 107 : 레지스트 패턴
- 9 : 소스·드레인 확산층
- 9a, 108 : 소스 확산층
- 10, 10a, 10b, 10c : 측벽 절연막

#### 발명의 상세한 설명

#### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래시 메모리 등의 반도체 기억 장치의 제조 방법에 관한 것으로, 특히 소스·드레인 확산층의 저 저항화를 도모할 수 있는 반도체 기억 장치의 제조 방법에 관한 것이다.

종래의 플래시 메모리 등의 반도체 기억 장치에서는, 셀 사이즈 축소화의 기술로서, 게이트 배선을 마스크로 하여, 자기 정합으로 소스 확산층을 형성하는 기술(셀프 얼라인 소스; 이하, SAS라 칭함)이 공지되어 있다 (일본 특개소63-41224호 공보).

또한, 최근에 셀 사이즈의 미세화가 더욱 요구되고, 확산층 분리의 축소화를 위한 트렌치 분리 기술이 주목되고 있다.

도 11의 (a)는 트렌치 분리형 반도체 기억 장치의 제조 방법을 공정순으로 나타낸 배치도이며, 도 11의 (b)는 도 11의 (a)의 D-D선에 따른 단면도이고, 도 11의 (c)는 도 11의 (a)의 E-E선에 따른 단면도이며, 도 11의 (d)는 도 11의 (a)의 F



-F선에 따른 단면도이다. 또한, 도 12 내지 도 15의 (b)~(d)는 각각 도 12 내지 도 15의 (a)의 D-D선, E-E선 및 F-F선에 따른 단면도이다.

종래의 트렌치 분리형 플래시 메모리의 제조 방법을 설명한다. 도 11의 (a)~(d)에 나타난 바와 같이, 우선, 반도체 기판(100)에 트렌치 분리 기술을 사용하여, 띠 형상의 복수개의 확산층 영역(101)과 복수개의 트렌치 분리 절연막(102)을 교대로 형성한다.

다음에, 도 12의 (a)~(d)에 나타난 바와 같이, 확산층 영역(101)을 덮도록 게이트 절연막(103)을 형성한다. 이 게이트 절연막(103) 상에 부유 게이트(이하, FG라 칭함) 전극(104)을 형성한다. 다음에, 게이트 절연막(103) 및 FG 전극(104)을 패터닝한다.

다음에, 도 13의 (a)~(d)에 나타난 바와 같이, 반도체 기판(100)의 전면에, 예를 들면 산화막과 질화막과 산화막으로 구성되는 적층막으로 이루어진 층간 절연막(105)을 형성한다. 다음에, 예를 들면 다결정 실리콘막(106a)과 WSi막(106b)으로 구성되는 제어 게이트 배선(이하, CG 배선이라 칭함)(106)을 확산층 영역(101)의 수직 방향으로 형성한다.

다음에, 도 14의 (a)~(d)에 나타난 바와 같이, CG 배선(106) 사이의 소스 확산층(108) 형성 예정 영역이 개구된 레지스트 패턴(107)을 형성한다. 다음에, 이 레지스트 패턴(107) 및 CG 배선(106)을 마스크로 하여 트렌치 분리 절연막(102)을 에칭한다.

다음에, 도 15의 (a)~(d)에 나타난 바와 같이, 트렌치 분리 절연막(102)을 에칭 제거한 후에, 반도체 기판(100)의 전면에, 불순물로서 예를 들면 비소 이온을 반도체 기판(100)의 표면에 수직인 방향으로 주입하여 소스 확산층(108)을 형성한다.

그러나, 상술한 바와 같이 형성된 반도체 기억 장치의 제조에서, 소자 분리 산화막을 제거한 부분은 트렌치 구조이다. 이 때문에, 트렌치 측면(101a)에 비소 등의 불순물이 도입되기 어렵고, 소스 확산층(108) 저항의 증가를 초래하게 된다. 이 소스 확산층(108) 저항의 증가가 플래시 메모리의 셀 디바이스의 동작, 상세하게는 기록 속도의 열화 및 판독 속도의 열화를 일으키는 문제점이 있다.

**발명이 이루고자하는 기술적 과제**

본 발명은 이러한 문제점을 감안하여 이루어진 것으로, 트렌치 측면에 불순물을 도입함으로써, 소스 확산층 저항의 증가를 방지할 수 있는 반도체 기억 장치의 제조 방법을 제공하는 것을 목적으로 한다.

제1 발명에 따른 반도체 기억 장치의 제조 방법은, 반도체 기판의 표면에 복수개의 트렌치 분리 절연막을 상호간에 적당한 길이 간격을 두고 형성하는 공정; 상기 트렌치 분리 절연막에 끼워진 영역의 위쪽에 선택적으로 부유 게이트 전극을 형성하는 공정; 상기 부유 게이트 전극을 덮는 층간 절연막을 형성하는 공정; 상기 부유 게이트 전극의 위쪽에 상기 트렌치 분리 절연막이 연장하는 방향과 교차하는 방향으로 연장하는 복수개의 제어 게이트 배선을 형성하는 공정; 상기 제어 게이트 배선간의 소스 형성 예정 영역이 개구된 레지스트 패턴을 형성하는 공정; 상기 레지스트 패턴 및 상기 제어 게이트 배선을 마스크로 하여 상기 트렌치 분리 절연막을 에칭 제거하여 트렌치를 노출시키는 공정; 상기 레지스트 패턴 및 상기 제어 게이트 배선을 마스크로 하여 상기 반도체 기판에 실질적으로 수직으로 이온 주입함으로써 소스 확산층을 형성하는 공정; 상기 레지스트 패턴을 제거한 후 상기 제어 게이트 배선을 마스크로 하여 상기 반도체 기판에 실질적으로 수직으로 이온 주입함으로써 소스 드레인 확산층을 형성하는 공정; 상기 제어 게이트 배선의 측벽에 측벽 절연막을 형성하는 공정; 및 상기 제어 게이트 배선 및 상기 측벽 절연막을 마스크로 하여 회전 이온 주입함으로써 상기 트렌치의 측면에도 소스 확산층을 형성하는 공정

을 포함하는 것을 특징으로 한다.

제2 발명에 따른 반도체 기억 장치의 제조 방법은, 반도체 기판의 표면에 복수개의 트렌치 분리 절연막을 상호간에 적당한

한 길이 간격을 두고 형성하는 공정; 상기 트렌치 분리 절연막에 끼워진 영역의 위쪽에 선택적으로 부유 게이트 전극을 형성하는 공정; 상기 부유 게이트 전극을 덮는 층간 절연막을 형성하는 공정; 상기 부유 게이트 전극의 위쪽에 상기 트렌치 분리 절연막이 연장하는 방향과 교차하는 방향으로 연장하는 복수개의 제어 게이트 배선을 형성하는 공정; 상기 제어 게이트 배선을 마스크로 하여 상기 반도체 기판에 실질적으로 수직으로 이온 주입함으로써 소스 드레인 확산층을 형성하는 공정; 상기 제어 게이트 배선의 측벽에 측벽 절연막을 형성하는 공정; 상기 제어 게이트 배선간의 소스 영역이 개구된 레지스트 패턴을 형성하는 공정; 상기 레지스트 패턴을 마스크로 하여 상기 트렌치 분리 절연막을 에칭 제거하여 트렌치를 노출시키는 공정; 및 상기 제어 게이트 배선을 마스크로 하여 회전 이온 주입함으로써 상기 트렌치의 측면에도 소스 확산층을 형성하는 공정을 포함하는 것을 특징으로 한다.

본 발명에서는, 상기 트렌치를 노출시키는 공정을 상기 회전 이온 주입의 공정 사이에, 노출하고 있는 측의 측벽 절연막 상에 절연막을 더 형성하는 공정을 포함하는 것이 바람직하다.

또한, 본 발명에서는, 상기 층간 절연막은 산화막과 질화막과 산화막이 순차 적층되어 이루어지는 적층막으로 할 수 있고, 상기 제어 게이트 배선은 다결정 실리콘막과 WSi막의 적층막으로 할 수 있다.

본 발명에서는, 트렌치 분리 절연막을 에칭 제거한 후에, 트렌치를 노출시키고, 이온을 반도체 기판에 회전 주입함으로써, 트렌치 측면의 적절한 위치에 불순물을 도입할 수 있다. 이 때문에, 트렌치 측면에도 소스 확산층이 형성되고, 소스 확산층 저항의 저 저항화를 도모할 수 있다.

#### 발명의 구성 및 작용

이하, 본 발명의 실시예에 대하여 첨부된 도면을 참조하여 상세히 설명한다. 도 1 내지 도 6은 본 발명의 제1 실시예에 따른 반도체 기억 장치의 제조 방법을 공정순으로 나타낸 단면도이다. 도 1의 (a)는 본 발명의 제1 실시예에 따른 반도체 기억 장치의 제조 방법을 공정순으로 나타낸 배치도이며, 도 1의 (b)는 도 1의 (a)의 A-A선에 따른 단면도이고, 도 1의 (c)는 도 1의 (a)의 B-B선에 따른 단면도이며, 도 1의 (d)는 도 1의 (a)의 C-C선에 따른 단면도이다. 도 2 내지 도 6의 (b)~(d)는 각각 도 2 내지 도 6의 (a)의 A-A선, B-B선 및 C-C선에 따른 단면도이다. 본 실시예의 반도체 기억 장치는 비트 배선층의 1개의 컨택트당 2 비트를 갖는 트렌치 분리 NOR 게이트형 플래시 메모리 셀의 구조를 나타내는 것이다.

본 실시예의 반도체 기억 장치의 제조 방법에 대해서 도 1 내지 도 6에 기초하여 설명한다. 우선, 도 1의 (a)~(d)에 나타난 바와 같이, 예를 들면 반응성 이온 에칭(Reactive Ion Etching; 이하, RIE라 칭함)을 사용하여, 반도체 기판(1)의 표면에 트렌치(도시하지 않음)를 상호간에 적당 간격을 두어 복수개 형성한다. 다음에, 이 트렌치를 예를 들면 Si로 이루어진 트렌치 분리 절연막(3)으로 매립한다. 이러한 트렌치 분리 기술을 사용하여, 띠 형상의 확산층 영역(2)과 트렌치 분리 절연막(3)을 복수개 형성한다.

다음에, 도 2의 (a)~(d)에 나타난 바와 같이, 확산층 영역(2)을 덮도록, 예를 들면 Si로 이루어진 게이트 절연막(4)을 형성하고, 그 위에 예를 들면 다결정 실리콘으로 이루어진 FG 전극을 형성한다. 이 게이트 절연막(4) 및 FG 전극(5)을 패터닝한다.

다음에, 도 3의 (a)~(d)에 나타난 바와 같이, 이 FG 전극(5)을 덮도록, 예를 들면 산화막과 질화막과 산화막으로 구성되는 적층막으로 이루어진 층간 절연막(6)을 형성한다.

다음에, 예를 들면 트렌치 분리 절연막(3)이 연장하는 방향과 교차하는 방향, 예를 들면 직교하는 방향으로 연장하는 복수개의 다결정 실리콘막(7a)과 WSi막(7b)의 적층막으로 구성되는 CG 배선(7)을 FG 전극(5)의 위쪽에 형성한다.

다음에, 소스 확산층(9a)을 형성하기 위해, 도 4의 (a)~(d)에 나타난 바와 같이, CG 배선(7) 사이의 소스 형성 예정 영역이 개구된 레지스트 패턴(8)을 형성한다. 그리고, 이 레지스트 패턴(8) 및 CG 배선(7)을 마스크로 하여 트렌치 분리 절연막(3)을 에칭하고, 트렌치(3a)를 노출시킨다.

다음에, 도 5의 (a)~(d)에 나타난 바와 같이, 트렌치 분리 절연막(3)을 에칭 제거한 후, 반도체 기판(1)의 표면에 수직인 방향으로, 불순물로서 예를 들면 비소 이온을 반도체 기판(1)에 주입하고, 소스 확산층(9a)을 형성한다.

다음에, 레지스트 패턴(8)을 박리한 후, CG 배선(7)을 마스크로 하여, 반도체 기판(1)의 전면에, 예를 들면 비소 이온을 주입하여 소스·드레인 확산층(9)을 형성한다. 그리고, 반도체 기판(1) 전면에 산화막 등의 절연막을 성장시키고, 에칭을 행하여, CG 배선(7) 측면에만 측벽 절연막(10)을 잔재시킨다. 즉, CG 배선(7)의 양측 측벽에 측벽 절연막(10)을 형성한다.

다음에, 도 6의 (a)~(d)에 나타난 바와 같이, 반도체 기판(1)을 회전시켜, 이 반도체 기판(1)의 전면에, 예를 들면 비소 이온의 회전 경사 주입을 행한다. 이것에 의해 트렌치 측면(3b)에도 불순물로서 예를 들면 비소를 도입하여, 트렌치 측면(3b)에도 소스 확산층(9a)을 형성한다.

다음에, 반도체 기판(1)의 전면에 배선 분리막(도시하지 않음)을 형성한 후, 패턴링을 행하여, 소스 확산층(9a)을 끼우는 2개의 FG 전극(5)을 1조로 하여, 1조마다 구획하도록 소스·드레인 영역(9)에 콘택트부(도시하지 않음)를 형성한다.

다음에, 이 콘택트부를 매립하도록 배선층(도시하지 않음)을 형성한다. 이상의 것에 의해, 비트 배선층의 1개의 콘택트당 2 비트를 갖는 트렌치 분리 NOR형 플래시 메모리 셀을 형성할 수 있다.

상술한 바와 같이, 본 실시예에서는, 트렌치 분리 절연막(3)을 에칭에 의해 제거한 후에, 트렌치(3a)에 불순물로서 비소 이온을 반도체 기판(1)에 회전 경사 주입함으로써, 트렌치 측면(3b)의 적절한 위치에 불순물을 도입할 수 있다. 이 때문에, 트렌치 측면(3b)에도 소스 확산층(9a)이 형성되어, 소스 확산층(9a) 저항의 저 저항화를 도모할 수 있다.

또한, 소스 확산층(9a)을 형성할 때에 회전 경사 이온 주입하는 경우에 있어서, FG 전극(5)의 양 측면은 측벽 절연막(10)으로 보호되어 있기 때문에, 소스·드레인 확산층(9) 사이에 형성되어 있는 채널 영역으로의 불순물의 주입을 방지할 수 있다. 이 때문에, 펀치 스루를 방지할 수 있다.

본 발명의 제2 실시예에 대하여 도 7 및 도 8에 기초하여 설명한다. 또한, 도 1 내지 도 6에 나타난 제1 실시예와 동일 구성물에는 동일 부호를 부쳐 그의 상세한 설명은 생략한다. 도 7의 (a)는 본 발명의 제2 실시예에 따른 반도체 기억 장치의 제조 방법을 공정순으로 나타난 배치도이고, 도 7의 (b)는 도 7의 (a)의 A-A선에 따른 단면도이며, 도 7의 (c)는 도 7의 (a)의 B-B선에 따른 단면도이고, 도 7의 (d)는 도 7의 (a)의 C-C선에 따른 단면도이다. 또한, 도 8의 (b)~(d)는 각각 도 8의 (a)의 A-A선, B-B선 및 C-C선에 따른 단면도이다.

본 실시예에서는, 제1 실시예와 비교하여, 트렌치 분리 기술을 사용하여 띠 형상의 확산층 영역(2) 및 트렌치 분리 절연막(3)을 복수개 형성하는 공정까지, 즉 도 1 내지 도 3에 나타난 제1 실시예의 공정과 동일하다. 그 이후의 공정에 대해서 설명한다.

본 실시예에서는, 도 7의 (a)~(d)에 나타난 바와 같이, CG 배선(7)을 마스크로 하여 반도체 기판(1)의 전면에, 불순물로서 예를 들면 비소 이온을 반도체 기판(1)의 표면에 수직인 방향으로 주입하여, 소스·드레인 확산층(9)을 형성한다.

다음에, 예를 들면 산화막 또는 질화막으로 이루어진 절연막을 성장시키고, 에칭을 행하여, CG 배선(7) 측면에만 측벽 절연막(10)을 형성한다.

다음에, 도 8의 (a)~(d)에 나타난 바와 같이, CG 배선(7) 사이의 소스 확산층(9a)이 개구된 레지스트 패턴(8)을 형성한다. 그 후, 이 레지스트 패턴(8)을 마스크로 하여, 트렌치 분리 절연막(3)을 에칭 제거한다. 다음에, 트렌치 분리 절연막(3)을 에칭 제거한 후, 불순물로서 예를 들면 비소 이온을 반도체 기판(1)에 회전 경사 주입을 행하고, 트렌치 측면(3b)에도 불순물을 도입하여, 트렌치 측면(3b)에도 소스 확산층(9a)을 형성한다.

상술한 바와 같이, 본 실시예에서는, CG 배선 사이의 소스 확산층(9a)이 개구된 레지스트 패턴(8)을 형성하여, 트렌치 분리 절연막(3)을 제거한 후에, 트렌치 측면(3b)에도 이온 주입을 행함으로써, 트렌치 측면(3b)에도 소스 확산층(9a)을 형

성할 수 있다. 이 때문에, 소스 확산층(9a)을 저 저항화할 수 있다. 또한, 제1 실시예와 비교하여 공정수를 줄일 수 있다.

본 발명의 제3 실시예에 대하여, 도 9 내지 도 10에 기초하여 설명한다. 또한, 도 1 내지 도 6에 나타난 제1 실시예와 동일 구성물에는 동일 부호를 부여 그의 상세한 설명은 생략한다. 도 9의 (a)는 본 발명의 제3 실시예에 따른 반도체 기억 장치의 제조 방법을 공정순으로 나타난 배치도이며, 도 9의 (b)는 도 9의 (a)의 A-A선에 따른 단면도이고, 도 9의 (c)는 도 9의 (a)의 B-B선에 따른 단면도이며, 도 9의 (d)는 도 9의 (a)의 C-C선에 따른 단면도이다. 또한, 도 10의 (b)~(d)는 각각 도 10의 (a)의 A-A선, B-B선 및 C-C선에 따른 단면도이다.

본 실시예에서는, 제1 실시예와 비교하여, 트렌치 분리 기술을 사용하여 파 형상의 확산층 영역(2)을 복수개 형성하는 공정까지는 도 1 내지 도 3에 나타난 제1 실시예의 공정과 동일하다. 또한, 이 공정의 다음 공정은 도 7에 나타난 제2 실시예의 공정과 동일하다. 그 이후의 공정에 대하여 설명한다.

본 실시예에서는, 산화막 또는 질화막 등의 절연막을 반도체 기판(1)의 표면에 성장시키고, 에칭을 행하여, 소스 확산층(9a)측의 CG 배선(7)의 측벽과, 이것과 반대측의 CG 배선(7)의 측벽에 각각 크기가 다른 측벽 절연막(10, 10a)을 형성한다.

다음에, 도 9의 (a)~(d)에 나타난 바와 같이, CG 배선(7) 사이의 소스 확산층(9a) 영역이 개구된 레지스트 패턴(8)을 형성한다.

다음에, 이 레지스트 패턴(8)을 마스크로 하여 트렌치 분리 절연막(3)을 에칭 제거하고, 트렌치(3a)를 노출시킨다.

다음에, 도 10의 (a)~(d)에 나타난 바와 같이, 재차 반도체 기판(1)의 전면에 산화막 등의 절연막을 성장시킨 후 에칭을 행하여, CG 배선(7)의 측벽에만 측벽 절연막(10b, 10c)을 잔재시킨다. 즉, CG 배선(7)의 양측 측벽에 크기가 다른 측벽 절연막(10b, 10c)을 형성한다. 그리고, 불순물로서 예를 들면 비소 이온을 반도체 기판(1)에 회전 경사 주입을 행하고, 트렌치 측면(3b)에도 불순물을 도입시켜, 트렌치 측면(3b)에 소스 측면(3b)에 소스 확산층(9a)을 형성한다.

상술한 바와 같이, 본 실시예에서는, 소스 확산층(9a)측에 형성된 측벽 절연막(10b)을 소스 확산층(9a)측과는 반대측에 형성된 측벽 절연막(10c)보다도 작게 형성함으로써, 채널 영역으로의 불순물의 주입을 방지할 수 있는 동시에, 소스 확산층(9a) 영역에 제1 실시예와 비교하여, 불순물 이온을 주입하기가 용이하게 되어, 소스 확산층(9a)의 저저항화를 도모할 수 있다.

상술한 실시예에서는, 소스 확산층(9a)을 형성하기 위해 불순물을 도입할 때에, 소스측에 측벽 절연막(10)을 형성한 후에, 회전 경사 이온 주입을 행하고, 트렌치 측면(3b)에 불순물을 도입하는 구성으로 했지만, 본 발명에서는 특히 이들에 한정되는 것이 아니라, 소스 확산층(9a)이 아닌 드레인 확산층으로 할 수도 있다.

### 발명의 효과

이상 설명한 바와 같이 본 발명에서는, 트렌치 분리 절연막을 에칭 제거한 후에, 트렌치를 노출시키고, 이온을 반도체 기판에 회전 주입함으로써, 트렌치 측면의 적절한 위치에 불순물을 도입할 수 있다. 이 때문에, 트렌치 측면에도 소스 확산층이 형성되고, 소스 확산층 저항의 저 저항화를 도모할 수 있다. 따라서, 플래시 메모리 등의 반도체 기억 장치의 기록 및 판독 속도의 열화 등을 방지할 수 있다.

### (57) 청구의 범위

청구항 1. 반도체 기억 장치의 제조 방법에 있어서,

반도체 기판의 표면에 복수개의 트렌치 분리 절연막을 상호간에 적당한 길이 간격을 두고 형성하는 공정;

상기 트렌치 분리 절연막에 끼워진 영역의 위쪽에 선택적으로 부유 게이트 전극을 형성하는 공정;

상기 부유 게이트 전극을 덮는 층간 절연막을 형성하는 공정;

상기 부유 게이트 전극의 위쪽에 상기 트렌치 분리 절연막이 연장하는 방향과 교차하는 방향으로 연장하는 복수개의 제어 게이트 배선을 형성하는 공정;

상기 제어 게이트 배선간의 소스 형성 예정 영역이 개구된 레지스트 패턴을 형성하는 공정;

상기 레지스트 패턴 및 상기 제어 게이트 배선을 마스크로 하여 상기 트렌치 분리 절연막을 에칭 제거하여 트렌치를 노출시키는 공정;

상기 레지스트 패턴 및 상기 제어 게이트 배선을 마스크로 하여 상기 반도체 기판에 실질적으로 수직으로 이온 주입함으로써 소스 확산층을 형성하는 공정;

상기 레지스트 패턴을 제거한 후 상기 제어 게이트 배선을 마스크로 하여 상기 반도체 기판에 실질적으로 수직으로 이온 주입함으로써 소스 드레인 확산층을 형성하는 공정;

상기 제어 게이트 배선의 측벽에 측벽 절연막을 형성하는 공정; 및

상기 제어 게이트 배선 및 상기 측벽 절연막을 마스크로 하여 회전 이온 주입함으로써 상기 트렌치의 측면에도 소스 확산층을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 2. 반도체 기억 장치의 제조 방법에 있어서,

반도체 기판의 표면에 복수개의 트렌치 분리 절연막을 상호간에 적당한 길이 간격을 두고 형성하는 공정;

상기 트렌치 분리 절연막에 끼워진 영역의 위쪽에 선택적으로 부유 게이트 전극을 형성하는 공정;

상기 부유 게이트 전극을 덮는 층간 절연막을 형성하는 공정;

상기 부유 게이트 전극의 위쪽에 상기 트렌치 분리 절연막이 연장하는 방향과 교차하는 방향으로 연장하는 복수개의 제어 게이트 배선을 형성하는 공정;

상기 제어 게이트 배선을 마스크로 하여 상기 반도체 기판에 실질적으로 수직으로 이온 주입함으로써 소스 드레인 확산층을 형성하는 공정;

상기 제어 게이트 배선의 측벽에 측벽 절연막을 형성하는 공정;

상기 제어 게이트 배선간의 소스 영역이 개구된 레지스트 패턴을 형성하는 공정;

상기 레지스트 패턴을 마스크로 하여 상기 트렌치 분리 절연막을 에칭 제거하여 트렌치를 노출시키는 공정; 및

상기 제어 게이트 배선을 마스크로 하여 회전 이온 주입함으로써 상기 트렌치의 측면에도 소스 확산층을 형성하는 공정

을 포함하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

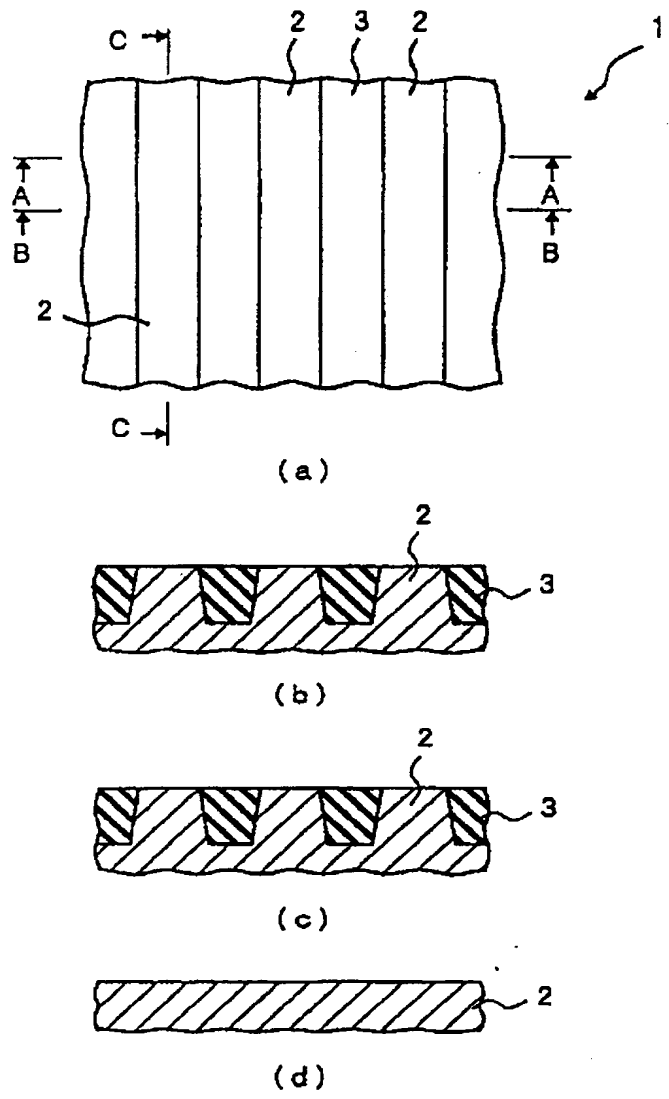
청구항 3. 제2항에 있어서, 상기 트렌치를 노출시키는 공정과 상기 회전 이온 주입 공정 사이에, 노출되어 있는 측의 측벽 절연막 상에 절연막을 더 형성하는 공정을 포함하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 4. 제1항 내지 제3항 중 어느 한 항에 있어서, 상기 층간 절연막은 산화막과 질화막과 산화막이 순차 적층되어 이루어진 적층막으로 이루어지는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

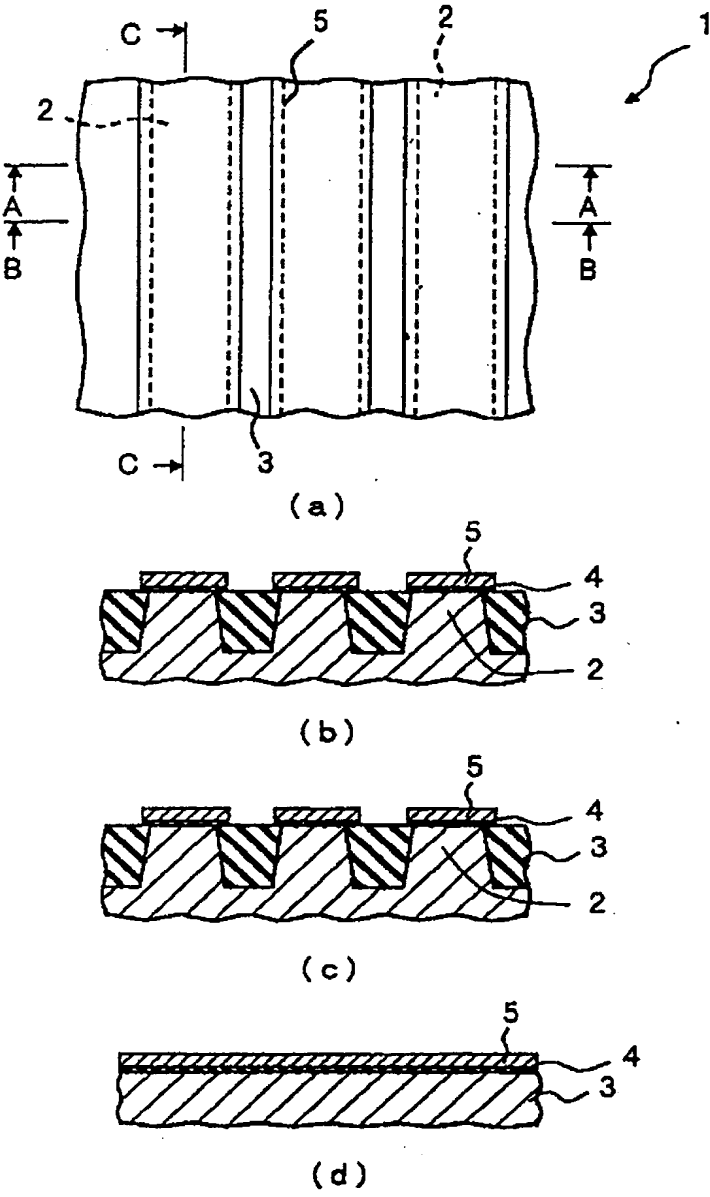
청구항 5. 제1항에 있어서, 상기 제어 게이트 배선은 다결정 실리콘막과 WSI막과의 적층막으로 이루어진 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

도면

도면1

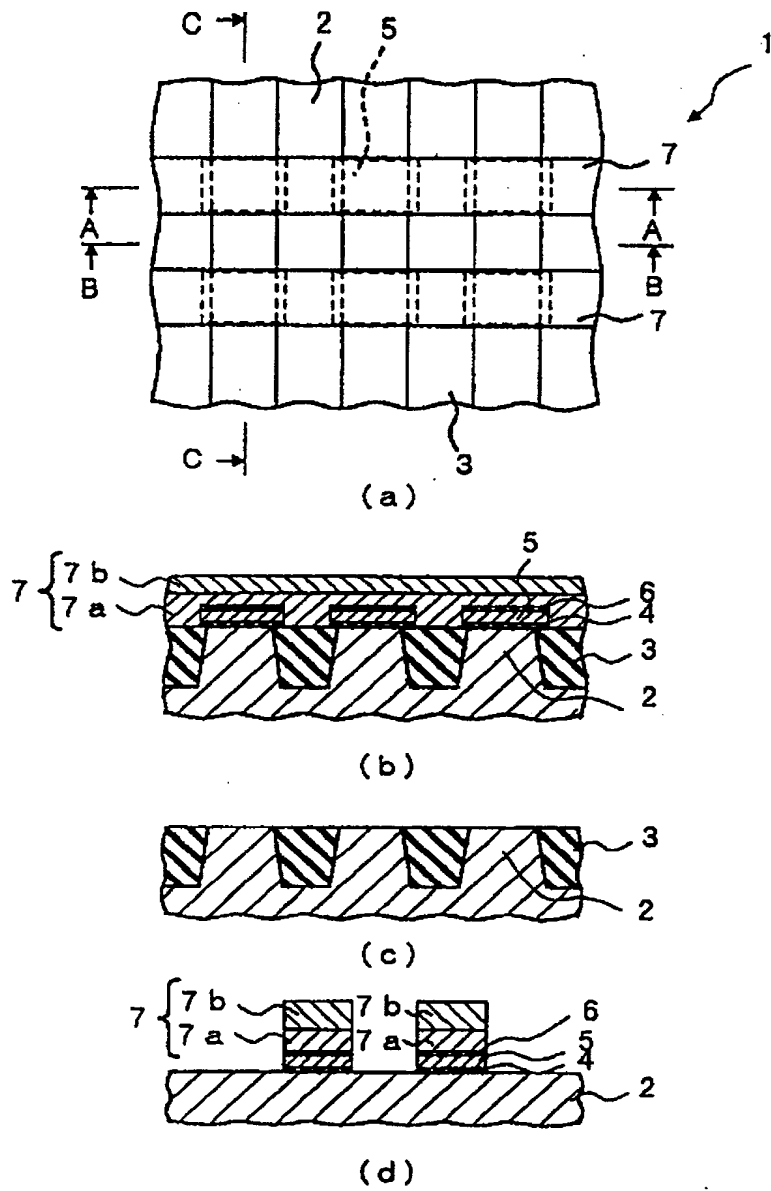


도면2

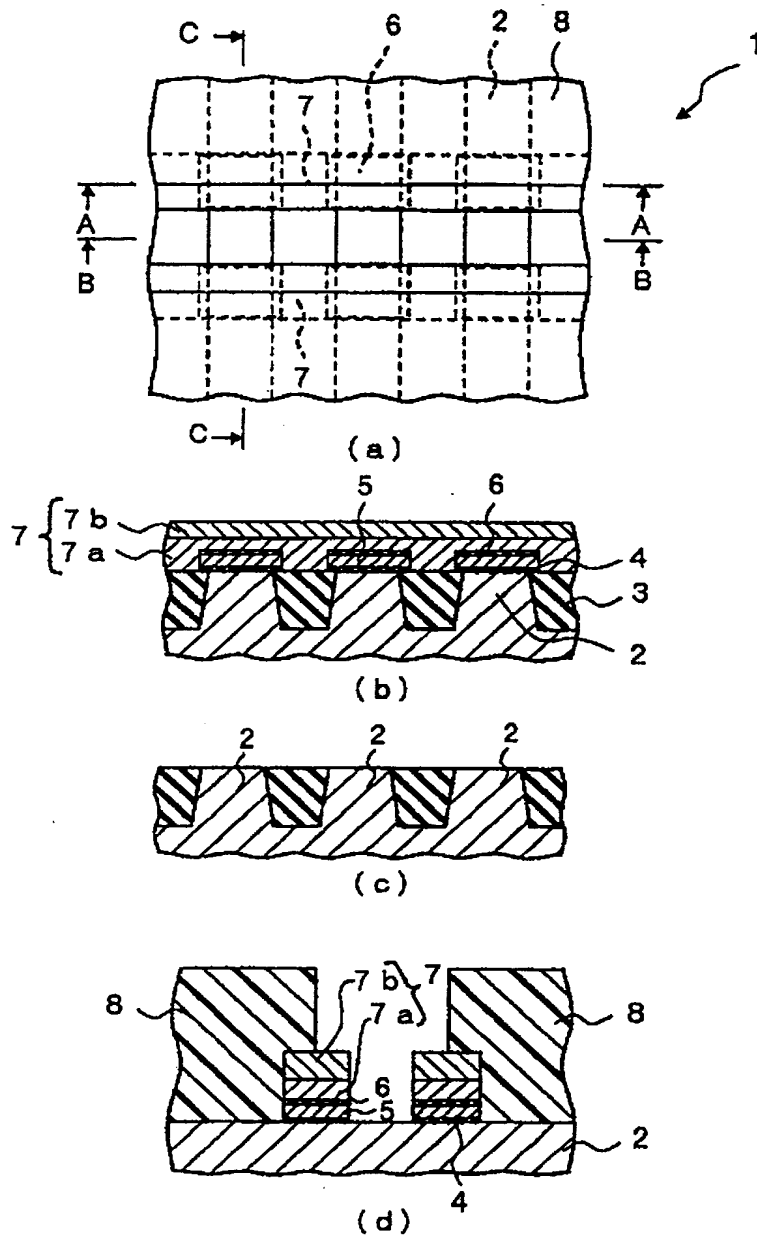


도면3

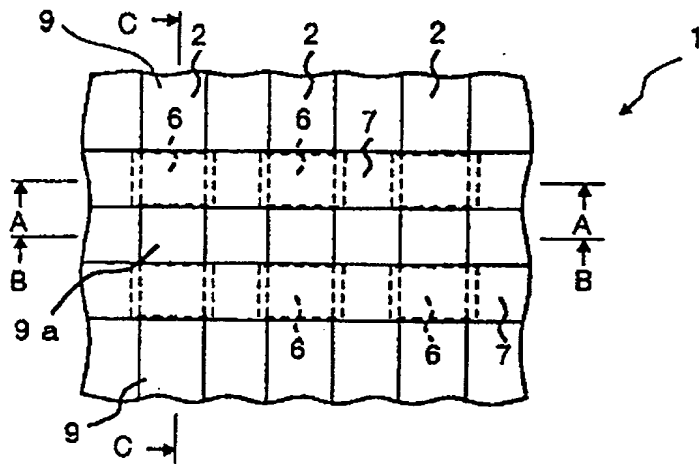




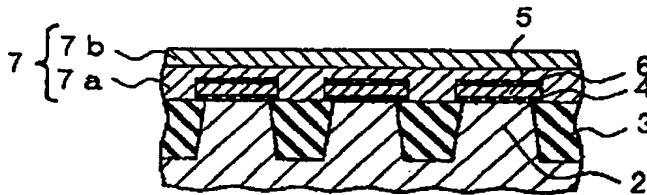
도면4



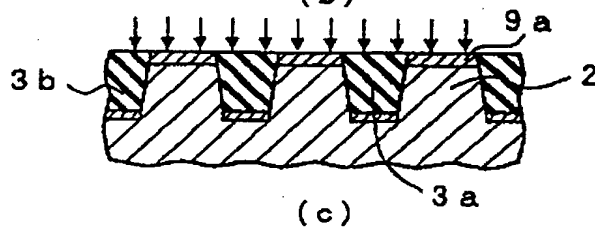
도면5



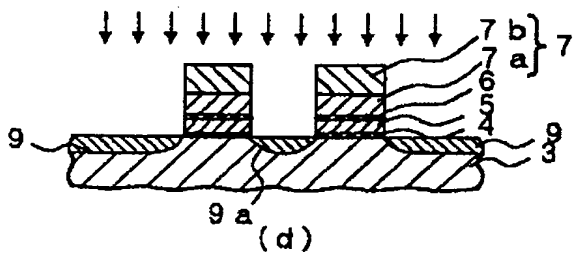
(a)



(b)

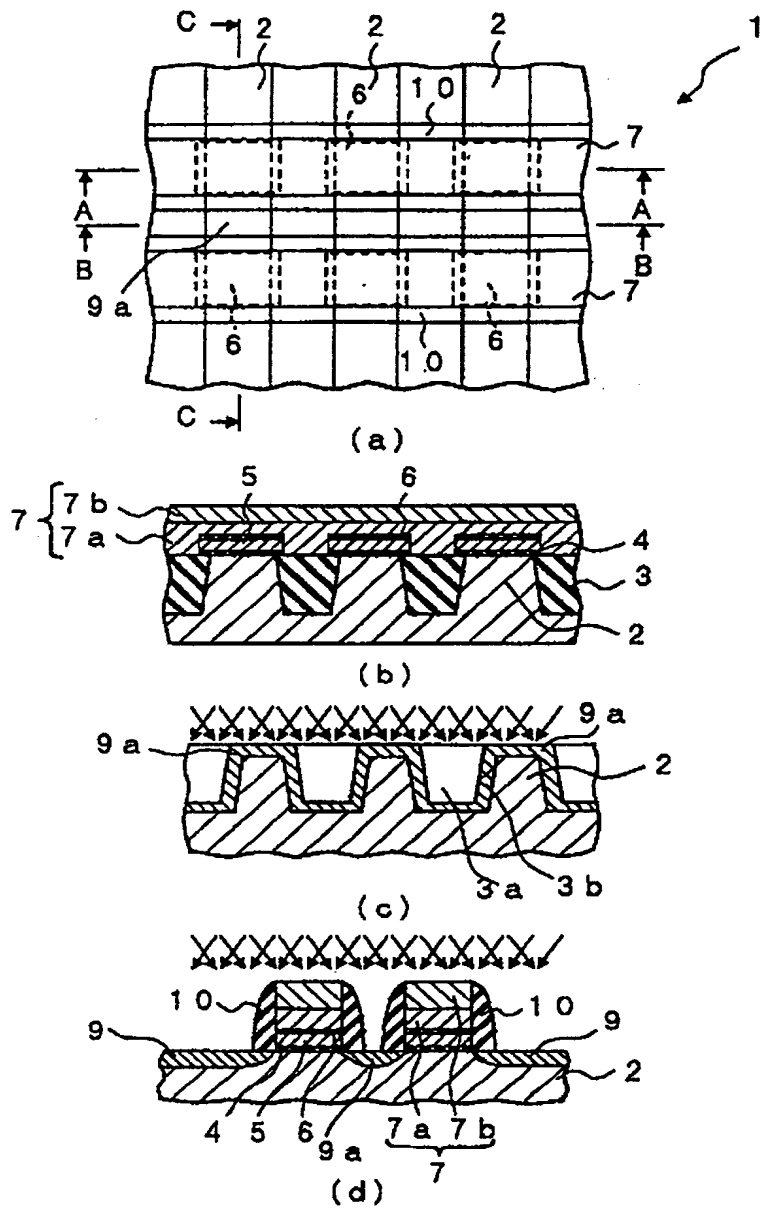


(c)

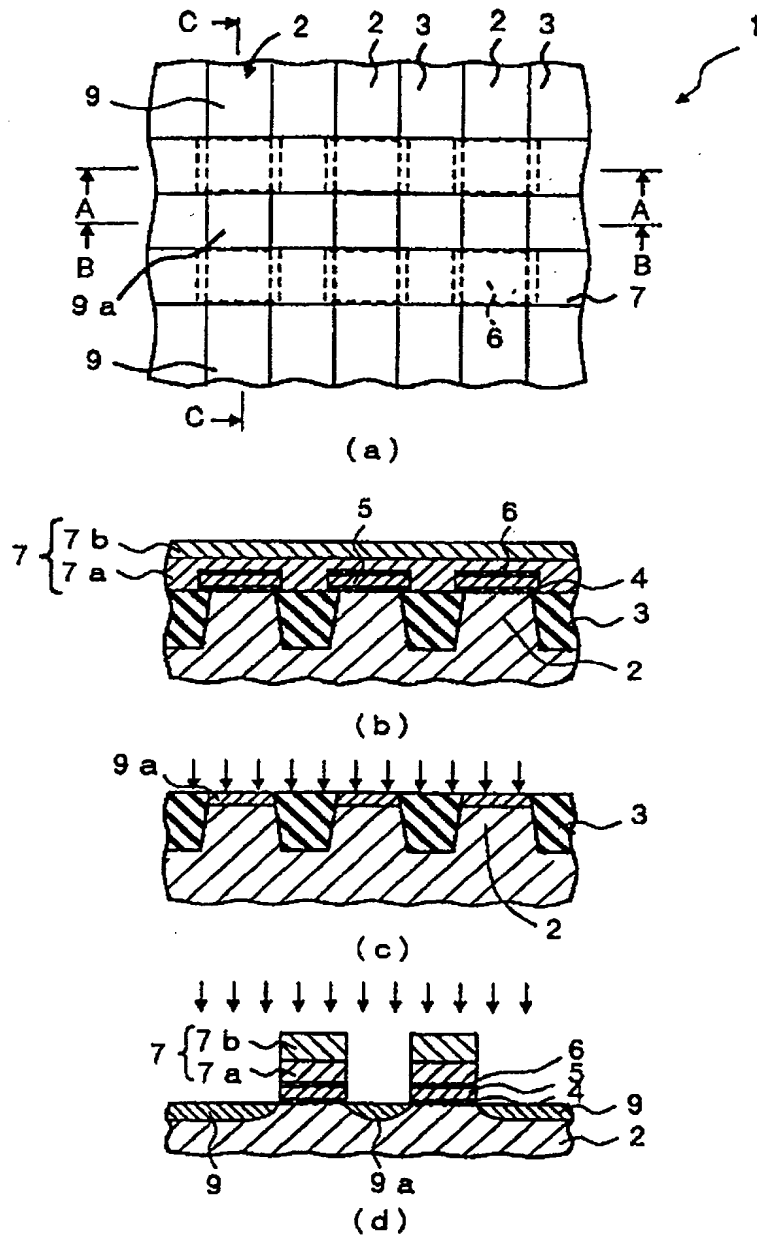


(d)

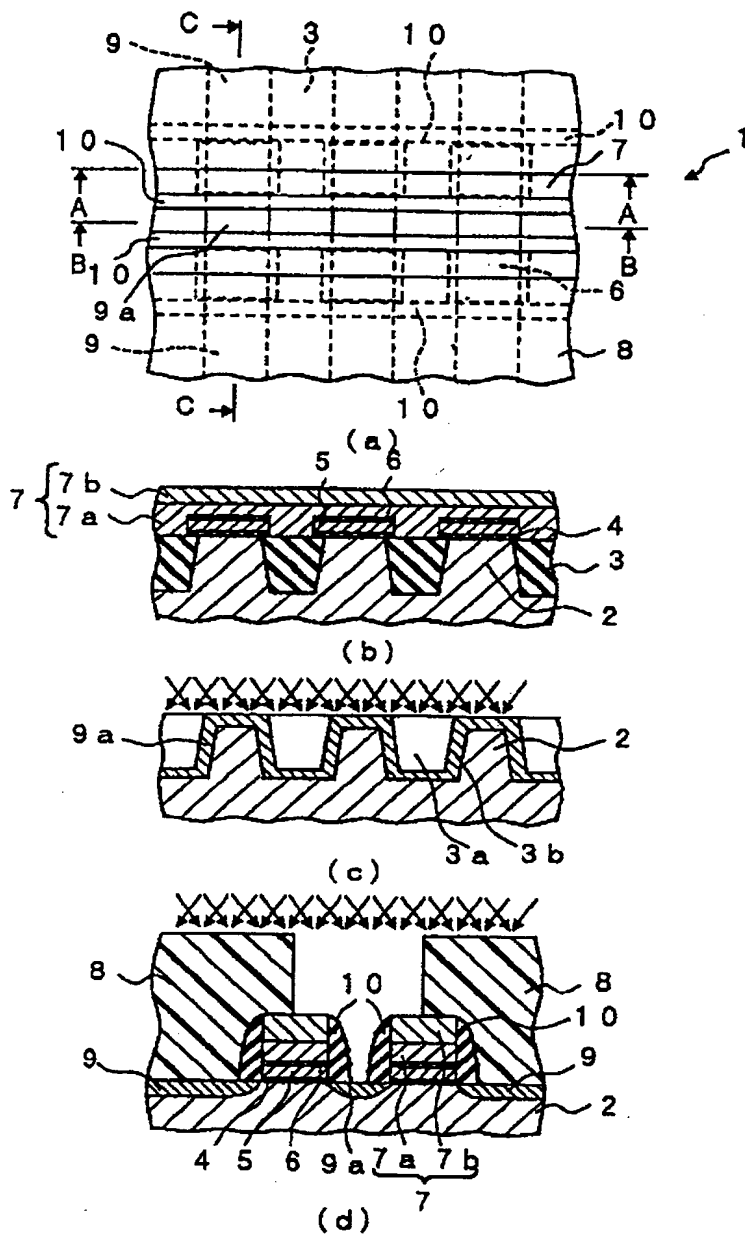
도면6



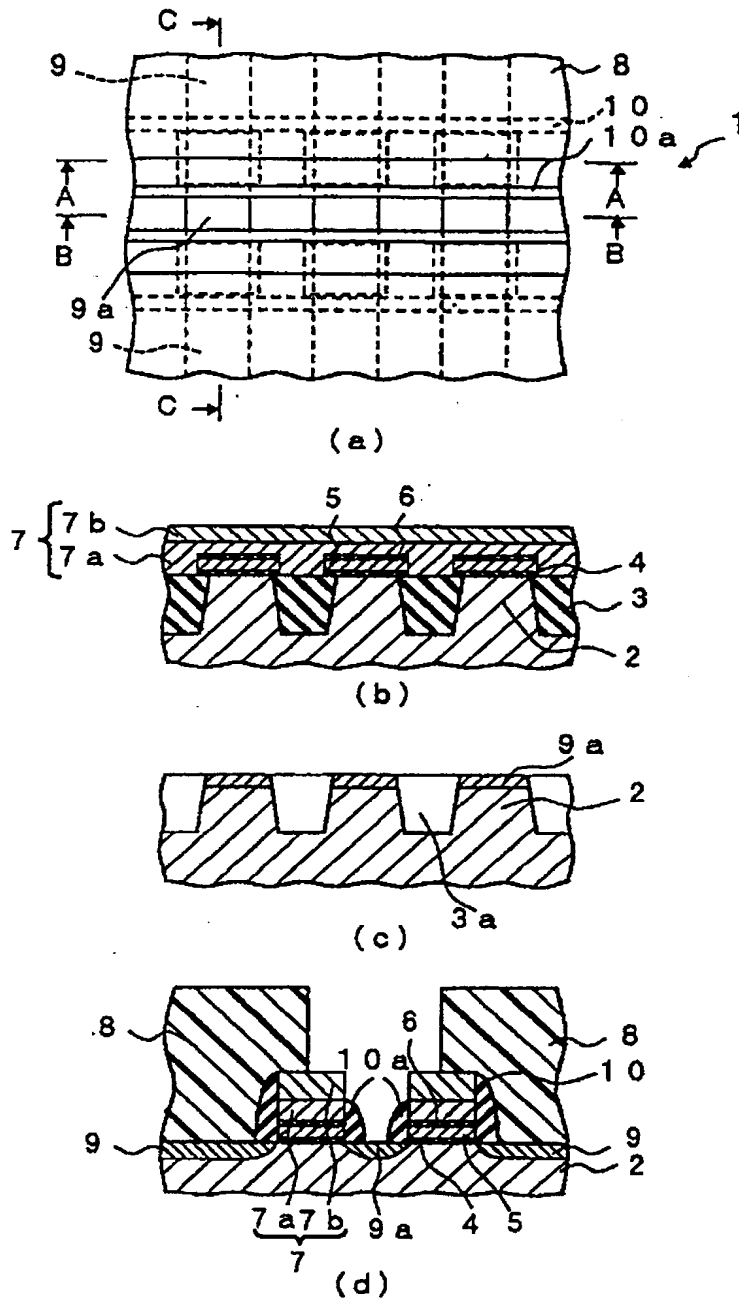
도면7



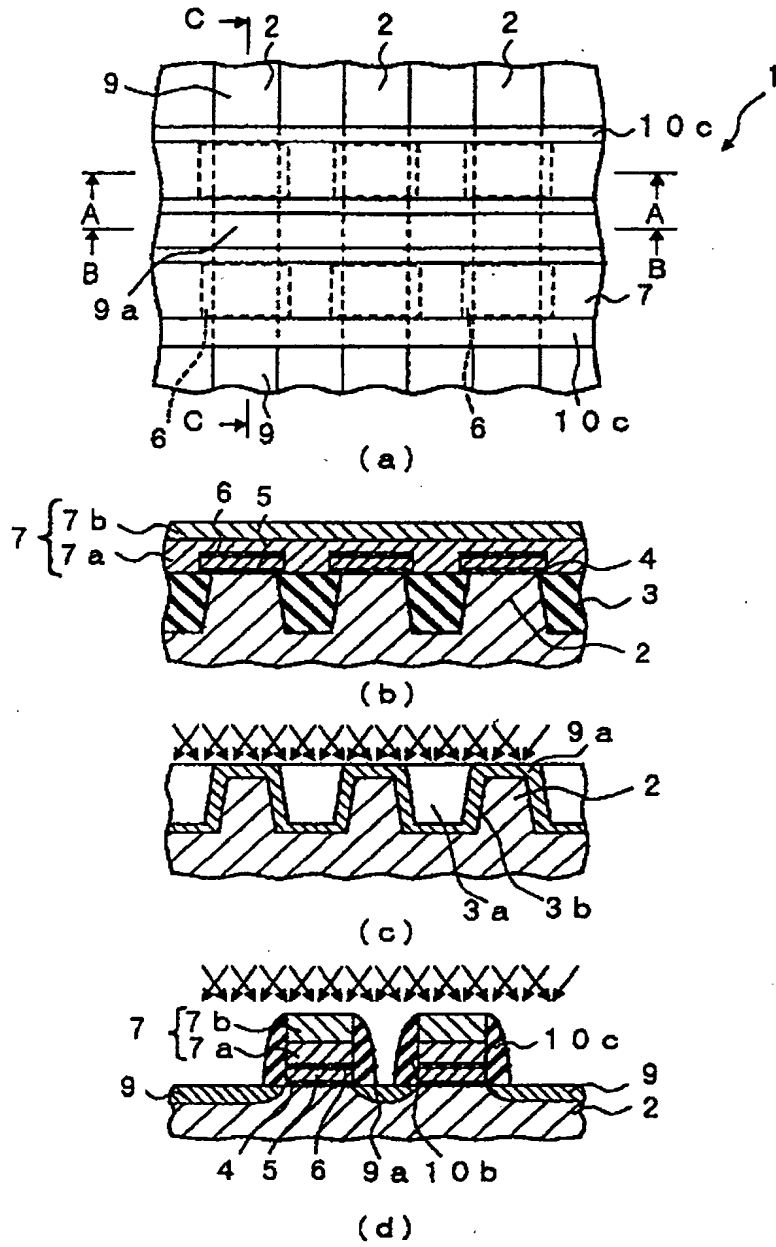
도면8



도면 9

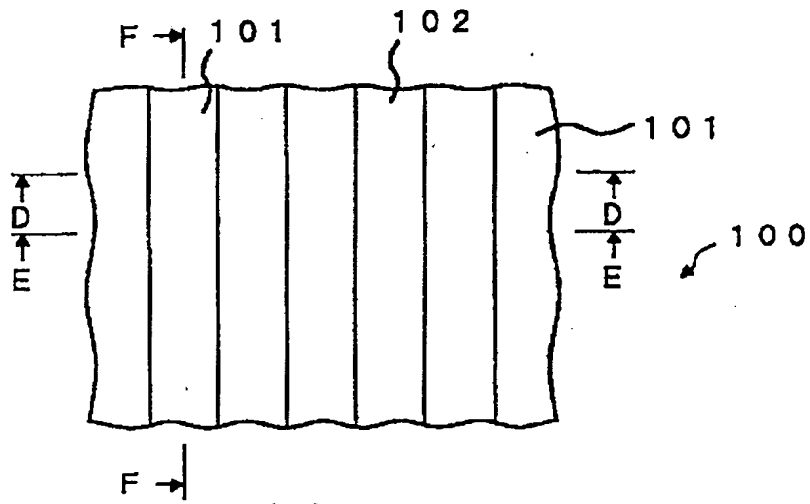


도면 10

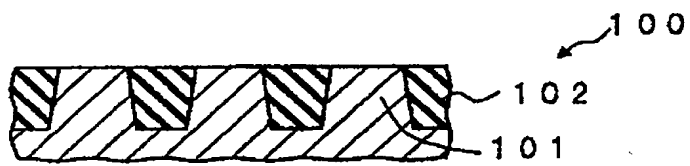


도면 11

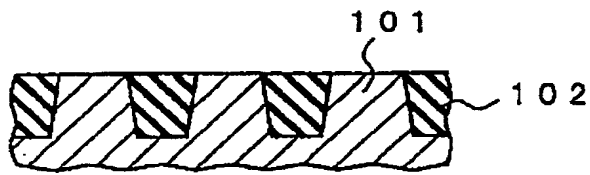




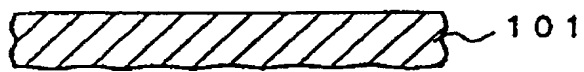
(a)



(b)

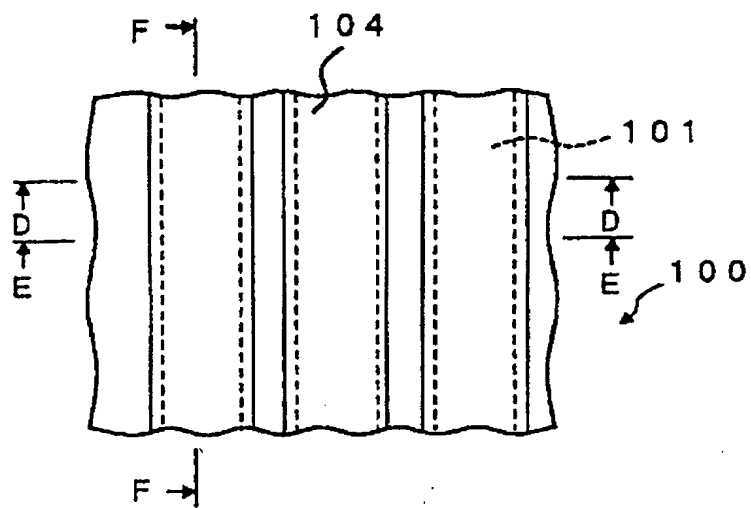


(c)

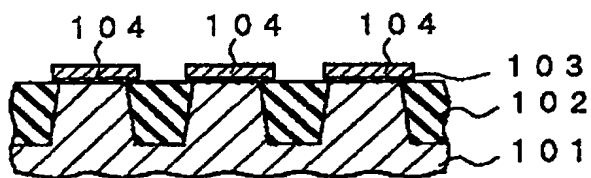


(d)

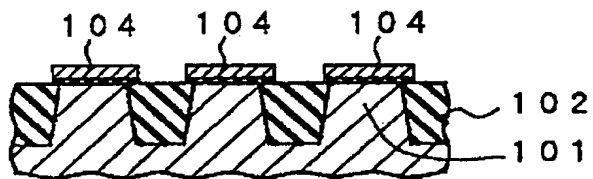
도면 12



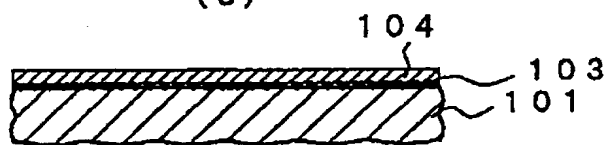
(a)



(b)

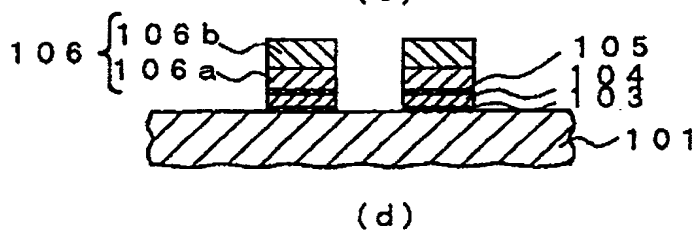
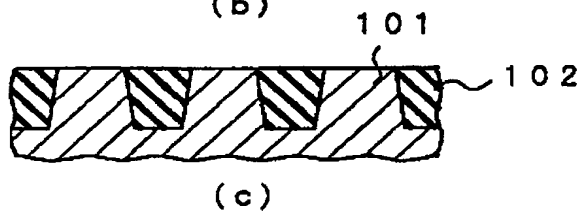
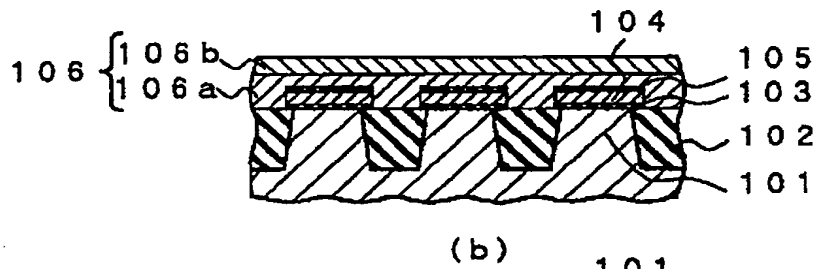
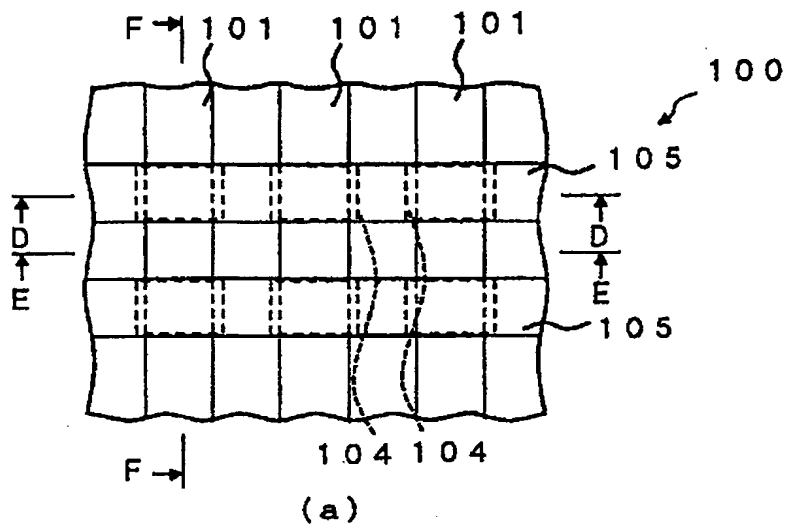


(c)

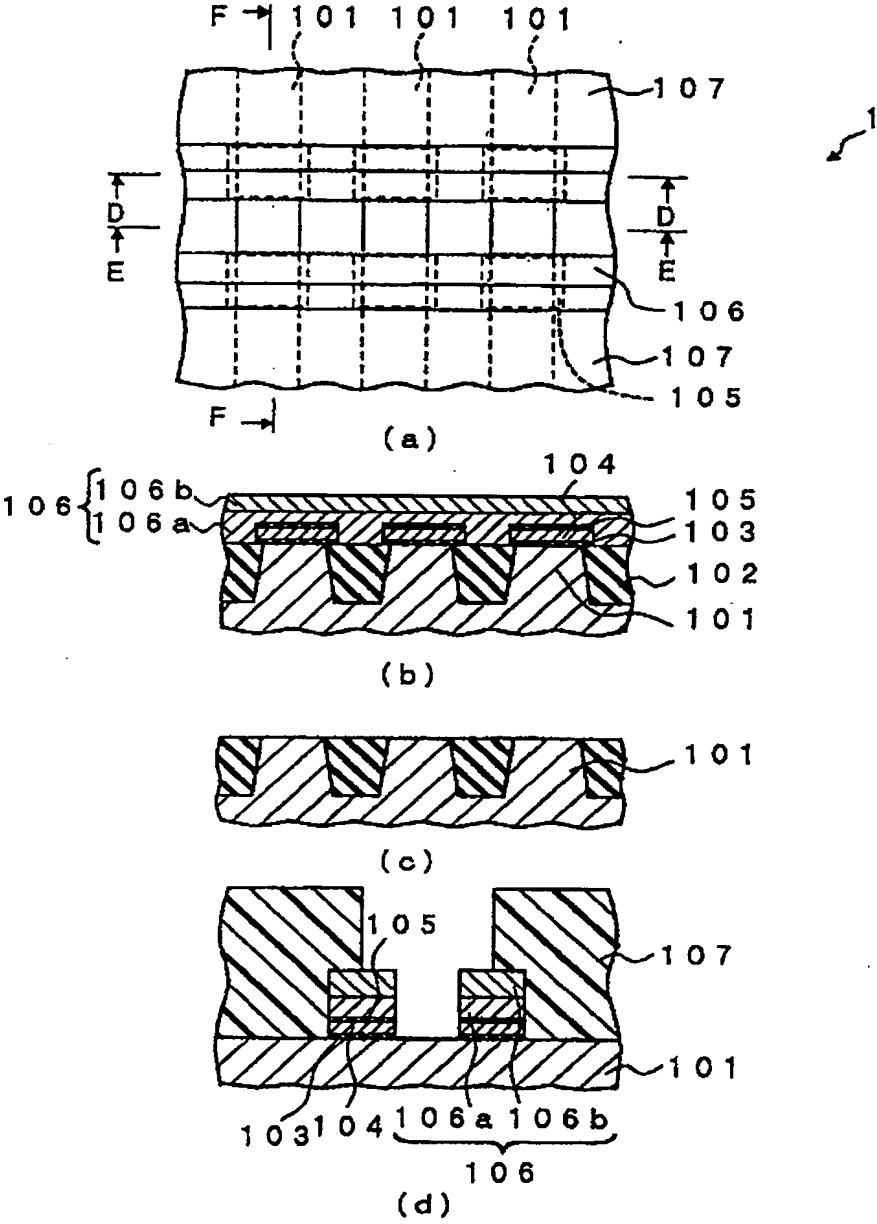


(d)

도면 13



도면 14



도면 15

